

**Invention Name : Insulation Structure for Epitaxial Electronic Elements**

**Publication Number : 447775**

**Application Number : 089211724**

**Application Date : July 7, 2000**

**Inventor : 1. C.Y. LEE**

**2. Hsiao-Lin KUO**

**3. Shih-Kuan LIU**

**Inventor Address : 1. No. 32, Lane 24, Minsiang 1st St., Hsinchu City,  
Taiwan**

**2. No. 83, Mai-Shu-Jen, Chien-Shih Hsiang, Hsinchu  
Hsien, Taiwan**

**3. 18F, No. 31, Jianjhong 1st Rd., Hsinchu City, Taiwan**

**Applicant : INPAQ TECHNOLOGY CO., LTD.**

**Applicant Address : 4F., No. 136, Sec. 3, Ren-Ai Rd., Da-An District, Taipei  
City 106, Taiwa**

# 中華民國專利公報 [19] [12]

[11]公告編號：447775

[44]中華民國 90年(2001) 07月21日  
新型

全 4 頁

[51] Int.Cl. 08: H01L21/78

[54]名稱：積層式晶片型電子元件之絕緣結構

[21]申請案號：089211724

[22]申請日期：中華民國 89年(2000) 07月07日

[72]創作人：

李俊達

郭小麟

劉世寬

新竹市東區民享一街二十四巷三十二號

新竹縣尖石鄉泰安街八十三號

新竹市建中一路三十一號十八樓之二

[71]申請人：

佳邦科技股份有限公司

台北市仁愛路三段一三六號四樓

[74]代理人：鄭再欽 先生

1

2

[57]申請專利範圍：

1. 一種積層式晶片型電子元件之絕緣結構，其特徵在於：是種積層式晶片型電子元件之絕緣結構，係於以半導體性或不具有高絕緣特性之材料作為本體之積層式晶片型電子元件中，於本體周面上被覆一層絕緣材料者。
2. 如申請專利範圍第1項之積層式晶片型電子元件之絕緣結構，其中，絕緣結構層並不存在於內電極外端與端電極之間，但亦存在於本體兩端部的周面上者。
3. 如申請專利範圍第1項或第2項之積層式晶片型電子元件之絕緣結構，其中，端電極之外並被覆一層銲接介面層者。
4. 如申請專利範圍第1項或第2項之積層式晶片型電子元件之絕緣結構，其中，絕緣結構層係於具有內電極之本體形成後，端電極形成前，被覆於整個本體之上者。

圖式簡單說明：

第一圖為習見積層式晶片型電子元件之平面示意圖；

第二圖 A 為第一圖所示之一實施例的習見積層式晶片型電子元件從 A-A 線所視之剖面結構圖；

第二圖 B 為第一圖所示習見積層式晶片型電子元件從 B-B 線所視之剖面結構圖；

5. 第三圖 A 為第一圖所示之習見積層式晶片型電子元件先製成端電極後絕緣被覆之另一實施例構造從 A-A 線所視之剖面結構圖；

10. 第三圖 B 為第一圖所示之習見積層式晶片型電子元件先製成端電極後絕緣被覆之另一實施例構造從 B-B 線所視之剖面結構圖；

15. 第四圖 A 為第一圖所示之習見積層式晶片型電子元件使用特殊端電極材料又一實施例構造從 A-A 線所視之剖面結
- 20.

(2)

3

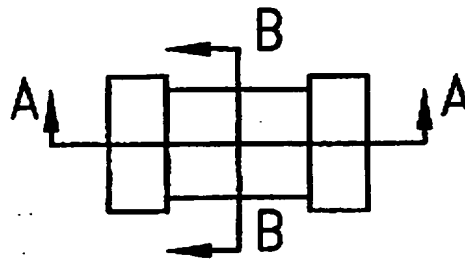
4

構圖：

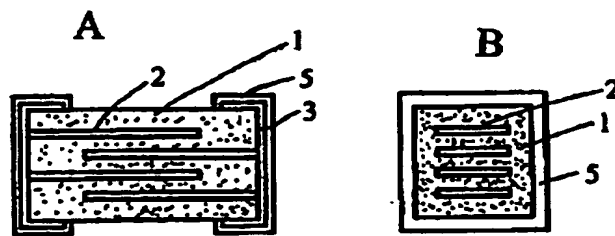
第四 B 圖為第一圖所示之習見積層式晶片型電子元件使用特殊端電極材料又一實施例構造從 B-B 線所視之剖面結構圖：

第五圖 A 與第五圖 B 為本創作積層式晶片型電子元件絕緣結構之剖面結構圖：

第六圖為本創作積層式晶片型電子元件絕緣結構之簡易流程示意圖。

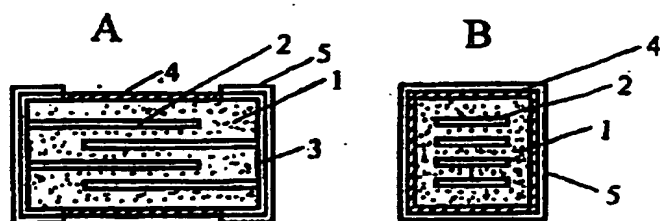


第一圖

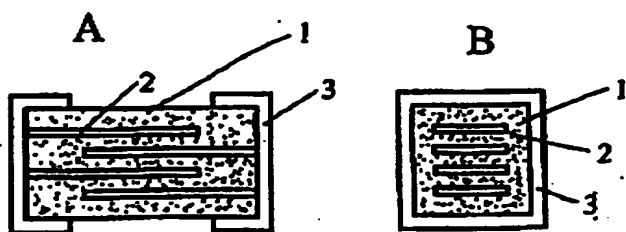


第二圖

(3)

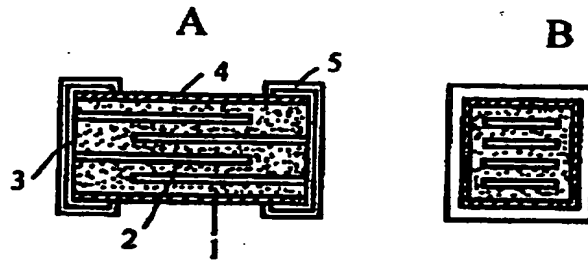


第三圖

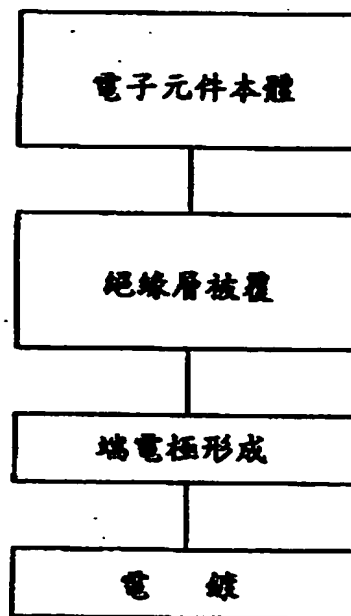


第四圖

(4)



第五圖



第六圖